

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285061

[ST.10/C]:

[JP2002-285061]

出 願 人

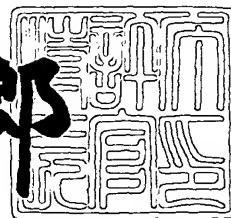
Applicant(s):

富士通株式会社

2003年 3月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3013498

【書類名】 特許願

【整理番号】 0241053

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/34

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 綾子

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 松宮 正人

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 江渡 聡

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092152

 【弁理士】

 【氏名又は名称】 服部 毅巖

 【電話番号】 0426-45-6644

【手数料の表示】

 【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データを 1 対のメモリセルに相補の情報として記憶するツインセル方式の半導体記憶装置において、

ワード線ごとにビット線ピッチで、前記メモリセルを配置したことを特徴とする半導体記憶装置。

【請求項 2】 前記メモリセルは、1 トランジスタと 1 記憶素子からなることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ビット線は、折り返しビット線方式で配線されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記ワード線に沿って前記ビット線ピッチで、前記ビット線と拡散層とのコンタクトが配置されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記ワード線 2 本につき 1 本の駆動しない前記ワード線を配置することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 駆動しない前記ワード線に固定電位を印加することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記固定電位は、前記ワード線をリセットするためのワード線リセット電位であることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記固定電位は、集積回路内で用いられる電源電位であることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】 前記ワード線 2 本につき、1 本だけワード線を配置しないことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】 メタル配線により、前記ワード線を裏打ちすることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、データを1対のメモリセルに相補の情報として記憶するツインセル方式の半導体記憶装置に関する。

【0002】

【従来の技術】

近年、携帯機器など電子機器の高性能化が進むにつれ、低消費電力化、大容量化、高集積化が可能でかつ信頼性が高いメモリが求められている。

【0003】

DRAM (Dynamic Random Access Memory) 型の半導体記憶装置は、メモリセルが、1つのセルトランジスタと1つのキャパシタからなり、構造が単純であり高集積化・大容量化がしやすいという特徴から、応用範囲の拡大と更なる性能向上が期待されている。

【0004】

さらに、DRAMの消費電力の低減などを目的とした、データを1対のメモリセルにHighレベル（以下Hレベルと略す）とLowレベル（以下Lレベルと略す）の相補の情報として記憶するツインセル方式のDRAMが提案されている（例えば、特許文献1参照）。

【0005】

図8は、従来のDRAM型の半導体記憶装置のメモリセル配置の模式図であり、(a)はシングルセル方式、(b)はツインセル方式のメモリセル配置の模式図である。

【0006】

シングルセル方式の半導体記憶装置100、ツインセル方式の半導体記憶装置101の両方とも、1つのセルトランジスタ、1つのセルキャパシタの1T/1CからなるメモリセルMCが、ビット線BL1、/BL1、BL2、/BL2と、ワード線WLとの交差位置に接続された構成であり、シングルセル方式とツインセル方式とも同じセルアレーを用いているのでセル配置は同様である。両者の違いは、ビット線BL1、/BL1、BL2、/BL2とセンスアンプ110、111の接続方法である。図8(a)のシングルセルの場合は、ビット線BL1、/BL1とビット線BL2、/BL2の2本ごとに対を成し、センスアンプ1

10、111に接続する。一方、図8(b)のツインセルの場合は、ビット線BL1、/BL1、BL2、/BL2を1本おきの対として、ビット線BL1、/BL1はセンスアンプ110に接続し、ビット線BL2、/BL2はセンスアンプ111に接続する。

【0007】

また、図8中で、領域E20、E21、E22、E23の部分は、1本のワード線WLを駆動したときに、1データとして成り立つ部分を示す。すなわち、図8(a)の領域E20では、メモリセルMCが接続されたビット線BL1と、メモリセルMCの接続しないビット線/BL1（リファレンス電位を保持）の電位をセンスアンプ111で比較して1ビットのデータとして読み出す。領域E21についても同様に、ビット線BL2とビット線/BL2の電位をセンスアンプ110で比較して1ビットのデータとして読み出す。図8(b)の領域E22では、相補の情報が記憶されている1対のメモリセルMCのゲートと接続した相補のビット線BL2、/BL2の電位を、センスアンプ110で比較して1ビットのデータとして読み出す。領域E23についても同様に、相補のビット線BL1、/BL1の電位をセンスアンプ111で比較して1ビットのデータとして読み出す。

【0008】

図8(b)のようなツインセル方式の半導体記憶装置101の場合、領域E22のデータ読み出しの場合は、センスアンプ110のみ活性化され、センスアンプ111は活性化されなくてよい。一方、領域E23のデータの読み出しの場合は、センスアンプ111のみ活性化され、センスアンプ110は活性化されなくてよい。また、読み出しの際に、1対のメモリセルMCに記憶されたHレベルとLレベルの相補の情報を、相補のビット線BL1、/BL1またはビット線BL2、/BL2で読み出すため、シングルセル方式でリファレンス電位と比較する場合に比べ、データ保持のマージンを大きくとれる。これによって、リフレッシュサイクルを長くすることができ、消費電力を少なくすることができる。

【0009】

図8のような半導体記憶装置100、101において、セルアレー配置のレイ

アウトは、セルキャパシタがビット線より下方に形成されるCUB (Capacitor Under Bitline) 構造と、セルキャパシタがビット線より上方に形成されるCOB (Capacitor Over Bitline) 構造に分かれる。

【0010】

プロセス工程的には、セルキャパシタを、CUB構造ではビット線より前、COB構造ではビット線より後の工程で形成する。

図9は、従来のCUB構造の半導体記憶装置のセルアレー配置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a)がCUB構造の半導体記憶装置のセルアレー配置のレイアウトパターン、(b)が図9(a)のC-C'線の一部に対応した半導体記憶装置の断面図である。

【0011】

図9(a)で示すレイアウトパターンは、図8(a)、(b)のシングルセル方式、及びツインセル方式の両方に適用されるレイアウトパターンであるが、以下ではツインセル方式を想定して説明を進める。

【0012】

CUB構造の半導体記憶装置101aのレイアウトパターンは、点線で示したビット線パターンBLp1、/BLp1、BLp2、/BLp2と複数のワード線パターンWLpが格子状に配列された構成に、図8で示したメモリセルMCに相当する部分として、ビット線パターンBLp1、/BLp1、BLp2、/BLp2と同方向に配置した基板拡散層パターン150pと、キャパシタパターン151pと、コンタクトプラグパターン152p、153pと、を配置した構成からなる。このレイアウトパターンにより形成される半導体記憶装置101aの構成は、図9(b)の断面図に示すように、基板154に形成される拡散層150a、150bと、ビット線BL1、/BL1、BL2、/BL2の下に形成されるキャパシタ151と、拡散層150bとキャパシタ151とのコンタクトのためのコンタクトプラグ152、拡散層150aとビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ153とを形成し配置した構成となる。キャパシタ151は、製造上の制約により、ビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ153

及び隣のキャパシタ 1 5 1 との間に一定の間隔（ここではワード線 1 本分のスペース）を空けて形成される。図 9（a）において、破線で囲った領域 E 2 5 a、E 2 5 b、E 2 6 a、E 2 6 b は、それぞれ 1 T / 1 C の 1 つのメモリセル MC に相当し、領域 E 2 5 a、E 2 5 b の対、領域 2 6 a、2 6 b の対が、それぞれ 1 つのツインセルを構成する。

【 0 0 1 3 】

ここで、基板 1 5 4 を p 型、ドレインまたはソースとなる拡散層 1 5 0 a、1 5 0 b を n 型とすると、ワード線 WL をゲート電極としてワード線 WL の下部に、例えば、図示しない酸化膜が形成されているので、n 型の MOSFET（Metallic Oxide Semiconductor Field Effect Transistor）が形成されている。

【 0 0 1 4 】

なお、CUB 構造として、上記では、スタックキャパシタを用いた例を示したがトレンチキャパシタを用いる場合もある。しかし、ここでは説明を省略する。

図 1 0 は、従来の COB 構造の半導体記憶装置のセルアレー配置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、（a）が COB 構造のセルアレー配置のレイアウトパターン、（b）が図 1 0（a）の D-D' 線の一部に対応した半導体記憶装置の断面図である。

【 0 0 1 5 】

以下、CUB 構造の半導体記憶装置 1 0 1 a 場合と同様にツインセル方式を想定して説明を進める。

COB 構造の半導体記憶装置 1 0 1 b のレイアウトパターンは、点線で示したビット線パターン BL p 1、/BL p 1、BL p 2、/BL p 2 とワード線パターン WL p とが格子状に配列された構成に、図 8 で示したメモリセル MC に相当する部分として、ビット線パターン BL p 1、/BL p 1、BL p 2、/BL p 2 に対して斜めに配置した基板拡散層パターン 1 6 0 p と、キャパシタパターン 1 6 1 p と、コンタクトプラグパターン 1 5 2 p、1 5 3 p と、を配置した構成からなる。このレイアウトパターンにより形成される半導体記憶装置 1 0 1 b の構成は、図 1 0（b）に示すように、基板 1 6 4 に形成される拡散層 1 6 0 a、1 6 0 b と、ビット線 BL 1、/BL 1、BL 2、/BL 2 より上方に形成され

るキャパシタ161と、拡散層160bとキャパシタ161とのコンタクトのためのコンタクトプラグ162と、拡散層160aとビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ163とを形成し配置した構成となる。キャパシタ161は、構造上の制約から、ビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ163及び隣のキャパシタ161と一定の間隔（ここでは、ワード線1本分のスペース）を空けて形成される。また、図10(a)において、破線で囲った領域E27a、E27bの対、領域E28a、E28bの対が、それぞれ1つのツインセルとなる。

【0016】

なお、CUB構造の半導体記憶装置101aの場合と同様に、基板164をp型、ドレインまたはソースとある拡散層160a、160bをn型とすると、ワード線WLをゲート電極としてワード線WLの下部に、例えば、図示しない酸化膜が形成されているので、n型のMOSFETが形成されている。

【0017】

また、図9、10において、最小加工寸法をF（ワード線WLの線幅及び間隔）としたとき、CUB構造、COB構造のどちらの場合についても1T/1Cにつき $8F^2$ で構成される。

【0018】

図11は、従来の半導体記憶装置の回路図の例であり、(a)はCUB構造の半導体記憶装置の回路図、(b)はCOB構造の半導体記憶装置の回路図である。

【0019】

半導体記憶装置101a、101bにおいて、図8のメモリセルMCは、MIS (Metallic Insulator Semiconductor) 型のFET（以下セルトランジスタと呼ぶ）Trと、セルキャパシタCからなり、セルトランジスタTrの一方の入出力端子（ドレインまたはソース）はビット線BL1、/BL1、BL2、/BL2のいずれかと接続されており、他方の入出力端子はセルキャパシタCと接続され、ゲートはワード線WLと接続される。セルキャパシタCの他方の端子は、セ

ルプレート電位（例えばLレベルとHレベルの電源電位の中間の電位）となっている。また、破線で囲った領域E29、E30、E31、E32は、1T/1CのメモリセルMCの対によるツインセルとなっている。

【0020】

あるワード線WLを選択し、駆動すると、そのワード線WLにゲートを接続したセルトランジスタTrがオンし、ビット線BL1、/BL1、BL2、/BL2とセルキャパシタCとを電氣的に接続する。図8で示したように、ビット線BL1、/BL1は、同じセンスアンプ111に接続し、ビット線BL2、/BL2は、センスアンプ110に接続され、相補の情報の読み出しを行う。

【0021】

【特許文献1】

特開2001-143463号公報（段落番号【0026】～【0032】，図1）

【0022】

【発明が解決しようとする課題】

しかし、上記のように、従来のツインセル方式の半導体記憶装置101では、シングルセル方式と同一のセルアレーを用いていたため、シングルセル方式の1セル当たりの典型的な面積 $8F^2$ に対して、ツインセル方式の1セル当たりの典型的な面積は $16F^2$ となっており、セルアレーの面積は実質的にはシングルセルの2倍となっていた。このため、半導体記憶装置の総チップ面積が大きくなってしまいう問題があった。

【0023】

また、例えば、図10で示したようなレイアウトの場合、拡散層160bに隣接するワード線WLを駆動した場合、拡散層160bを介して、キャパシタ161の電荷のリークが起きるというDRAMのような揮発性メモリゆえの問題がある。特に、キャパシタ161が属するメモリセルMCがスタンバイ状態であり、隣のメモリセルMCの上記のようなワード線WLを頻繁に活性化した場合に、データ破壊につながる恐れがある。

【0024】

本発明はこのような点に鑑みてなされたものであり、性能を損なわず、もしくは向上させながら、ツインセル方式として、半導体記憶装置の総チップ面積を縮小することが可能な半導体記憶装置を提供することを目的とする。

【0025】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すような、データを1対のメモリセルに相補の情報として記憶するツインセル方式の半導体記憶装置1において、ワード線WL a、WL bごとにビット線ピッチで、メモリセルMCを配置したことを特徴とする半導体記憶装置1が提供される。

【0026】

上記構成によれば、ワード線方向には、2つのビット線対（ビット線BL 1、／BL 1の対と、ビット線BL 2、／BL 2の対）に、領域E 1、E 2で示すシングルセル2つ分、つまり1対のセルに相補のデータを記憶し、1ビットあたりの（1データあたりの）面積を縮小する。

【0027】

【発明の実施の形態】

以下本発明の実施の形態を図面を参照して説明する。

図1は、本発明の第1の実施の形態の半導体記憶装置の模式図であり、セル配置を示した図である。

【0028】

半導体記憶装置1のセル配置は、ワード線WL a、WL bごとにビット線BL 1、／BL 1、BL 2、／BL 2のピッチでメモリセルMCが配置されている構成からなる。また、ビット線BL 1、／BL 1、BL 2、／BL 2は折り返しビット線方式で配線されており、センスアンプ10またはセンスアンプ11に接続されている。また、製造上の制約により、ワード線WL a、WL b 2本につき、1本の駆動しないワード線（以下ダミーワード線と呼ぶ）WL dが配置されている。メモリセルMCは、ここでは特にDRAMセルを用いた場合、つまり1トランジスタと1キャパシタからなる1T／1C構造について説明する。

【0029】

半導体記憶装置 1 は、ツインセル方式であり、領域 E 1、E 2 がそれぞれ 1 ビットの相補記憶情報に対応している。領域 E 1 の相補記憶情報を読み出す場合、ワード線 WL a に電圧を印加し、H または L レベルの相補のデータが書き込まれたメモリセル MC と接続されたビット線 BL 1、 \overline{BL} 1 の電位の変化をセンスアンプ 1 0 で検出し、データを読み出す。領域 E 2 の相補記憶情報を読み出す場合は、相補のデータが書き込まれたメモリセル MC と接続されたビット線 BL 2、 \overline{BL} 2 の電位の変化をセンスアンプ 1 1 で検出し、データを読み出す。これにより、図 1 の右側の矢印で示したように、ワード線方向には、2 つのビット線対に 2 つのデータを記憶できることから、中央の矢印で示したように、4 本のワード線（2 対のワード線 WL a、WL b）と、2 本のダミーワード線 WL d の 6 本あたり、図示した範囲で 8 つのデータを記憶することが可能となる。

【0030】

なお、ダミーワード線 WL d には、固定電位を印加する。固定電位は、ワード線をリセットするワード線リセット電位（0 V またはそれ以下の電位）や、いずれかの内部電源電位（電源電位や、ワード線昇圧のための電位）が好ましい。

【0031】

次に半導体記憶装置 1 のセルアレー配置でのレイアウトを説明する。レイアウトの実施の形態として、セルキャパシタがビット線より下方に形成される CUB 構造と、セルキャパシタがビット線より上方に形成される COB 構造につき、それぞれ示す。

【0032】

図 2 は、CUB 構造に好適な半導体記憶装置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a) が CUB 構造の半導体記憶装置のレイアウト、(b) が図 2 (a) の A-A' 線の一部に対応した半導体記憶装置の断面図である。

【0033】

CUB 構造の半導体記憶装置 1 a のレイアウトパターンは、点線で示したビット線パターン BL p 1、 \overline{BL} p 1、BL p 2、 \overline{BL} p 2 とワード線パターン WL a p、WL b p とダミーワード線パターン WL d p が格子状に配列された構

成に、図1で示したメモリセルMCに相当する部分として、ビット線パターンBLp1、/BLp1、BLp2、/BLp2と同方向に配置した基板拡散層パターン50pと、キャパシタパターン51pと、コンタクトプラグパターン52p、53pと、を配置した構成からなる。このレイアウトパターンにより形成される半導体記憶装置1aの構成は、図2(b)に示すように、基板54に形成される拡散層50a、50bと、ビット線BL1、/BL1、BL2、/BL2の下方に形成されるセルキャパシタ51と、拡散層50bとセルキャパシタ51とのコンタクトのためのコンタクトプラグ52、拡散層50aとビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ53とを形成し配置した構成である。セルキャパシタ51は、製造上の制約から、ビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ53及び隣のセルキャパシタ51との間に一定の間隔（ここでは、ワード線1本分のスペース）を空けて形成される。

【0034】

図2(a)において、破線で囲った領域E5、E6は、それぞれHまたはLレベルの相補の情報が記憶される、2つのメモリセルMCからなるツインセルを示している。ここで、例えば、領域E5は図1の領域E1と、領域E6は図1の領域E2とそれぞれ対応する。

【0035】

ここで、基板54はp型、ドレインまたはソースとなる拡散層50a、50bはn型であり、ワード線WL aをゲート電極としてワード線WL aの下部に、例えば、図示しない酸化膜が形成されているので、n型のMOSFETが形成されている。

【0036】

なお、図1で説明したような折り返しビット線方式で接続されている少なくとも1対のビット線BL1、/BL1、またはビット線BL2、/BL2は同じ配線層において形成される。

【0037】

また、CUB構造として、上記ではセルキャパシタCの例として、スタックキ

ャパシタを用いたが、トレンチキャパシタを用いてもよい。

図3は、COB構造に好適な半導体記憶装置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a)がCOB構造の半導体記憶装置のレイアウト、(b)が図3(a)のB-B'線の一部に対応した半導体記憶装置の断面図である。

【0038】

COB構造の半導体記憶装置1bのレイアウトパターンは、点線で示したビット線パターンBLp1、/BLp1、BLp2、/BLp2とワード線パターンWLap、WLbpとダミーワード線パターンWLdpが格子状に配列された構成に、図1で示したメモリセルMCに相当する部分として、ビット線パターンBLp1、/BLp1、BLp2、/BLp2に対して斜めに配置した基板拡散層パターン60pと、キャパシタパターン61pと、コンタクトプラグパターン62p、63pと、を配置した構成からなる。このレイアウトパターンにより形成される半導体記憶装置1bの構成は、図3(b)に示すように、基板64に形成される拡散層60a、60bと、ビット線BL1、/BL1、BL2、/BL2より上方に形成されるセルキャパシタ61と、拡散層60bとセルキャパシタ61とのコンタクトのためのコンタクトプラグ62、拡散層60aとビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ63とを形成し配置した構成である。セルキャパシタ61は、製造上の制約からビット線BL1、/BL1、BL2、/BL2とのコンタクトのためのコンタクトプラグ63及び隣のセルキャパシタ61との間に一定の間隔(ここでは、ワード線1本分のスペース)を空けて形成される。また、図3(a)において、破線で囲った領域E7、E8は、それぞれ1T/1Cが2個分の1つのツインセルとなる。ここで、例えば、領域E7は図1の領域E1と、領域E8は図1の領域E2とそれぞれ対応する。

【0039】

なお、CUB構造の半導体記憶装置1aの場合と同様に、図3(b)では、基板64に、ドレインまたはソースとなる拡散層60a、60bが形成された様子を図示している。これにより、例えば、n型のMOSFETを形成している。

【0040】

図2、3のように、CUB構造、COB構造いずれの場合においても、ビット線BL1、/BL1、BL2、/BL2のピッチでビット線BL1、/BL1、BL2、/BL2と拡散層50a、50b、60a、60bとのコンタクトのためのコンタクトプラグ53、63、及び、セルキャパシタ51、61を配置するようなレイアウトにすることで、図1で説明したようなビット線ピッチでメモリセルMCを配置した、ツインセル方式の半導体記憶装置1が実現可能である。

【0041】

ただしCUB構造、COB構造、いずれの場合も、ストレージの開口部の面積が減少する可能性があるので、アスペクト比の変更によって容量を所望の値にする、もしくは回路技術などで対応することになる可能性がある。

【0042】

図4は、本発明の第1の実施の形態の半導体記憶装置の回路図である。

この回路図は、図2、3で示したCUB構造、COB構造の両方に対応した回路図であり、半導体記憶装置1において、図1のメモリセルMCは、セルトランジスタTrと、セルキャパシタCからなり、セルトランジスタTrの一方の入出力端子（ドレインまたはソース）はビット線BL1、/BL1、BL2、/BL2のいずれかと接続されており、他方の入出力端子はセルキャパシタCと接続され、ゲートはワード線WL aまたはワード線WL bと接続される。セルキャパシタCの他方の端子は、セルプレート電位（例えばHレベル、Lレベルの電源電位の中間の電位）となっている。ダミーワード線WL dにはセルトランジスタTrは接続されない。ここで、破線で囲んだ領域E9、E10は、2対の1T/1CのメモリセルMCからなるツインセルを示す。例えば、領域E9は、図1の領域E1と対応し、領域E10は、図1の領域E2と対応している。

【0043】

ワード線WL aを選択し駆動すると、ワード線WL aにゲートを接続したセルトランジスタTrがオンし、ビット線BL1、/BL1、BL2、/BL2と、セルキャパシタCとを電氣的に接続する。図1のように、ビット線BL1、/BL1は同一のセンスアンプ10に接続し、ビット線BL2、/BL2は、同一の

センスアンプ 1 1 に接続し、互いに相補の情報の読み出しを行う。

【0 0 4 4】

このように、従来は、図 8 のように、2 ビット線対につき 8 つのデータを保持するためには 8 本のワード線 W L が必要であったが、本発明の第 1 の実施の形態の半導体記憶装置 1 の場合、8 つのデータにはワード線 W L a、W L b、W L d がそれぞれ 2 つの計 6 本で済むことになる。すなわち、従来のツインセル方式の半導体記憶装置 1 0 1 と比較してビット線方向に面積を 3 / 4 縮小することができる。

【0 0 4 5】

なお、ダミーワード線 W L d には、ワード線リセット電位や、いずれかの内部電源電位に固定することによって、ワード線間のカップリングノイズ、フィールドトランジスタリークなどを抑えるだけでなく、ワード線 W L a、W L b と基板の間の容量を利用して電源の安定化のための容量として利用し、ノイズを抑制することができる。

【0 0 4 6】

また、図 1 で示した本発明の第 1 の実施の形態の半導体記憶装置 1 と、図 8 で示した従来の半導体記憶装置 1 0 1 とを比較すると、ワード線 1 本を駆動したときに、アクセスできるデータ数が同数のビット線対につき 2 倍になる。したがって、従来と同じ長さのワード線を駆動することにより倍のデータにアクセスできる。逆に考えれば、ある数のデータにアクセスするために駆動するワード線の長さは従来の半分でよいため、階層化ワード線方式の場合には、図示しないサブワードデコーダの数を半分にすることができる。したがって、サブワードワードデコーダの削減分、総面積を縮小することができる。

【0 0 4 7】

また、ワード線 W L a、W L b の 2 本おきにダミーワード線 W L d を設けたことで、ワード線 W L a、W L b の 1. 5 倍のピッチでメタル配線を形成することが可能になるので、ワード線を裏打ちにできる可能性がある。

【0 0 4 8】

図 5 は、ワード線の裏打ちを説明する図であり、(a) が C U B 構造の半導体

記憶装置のワード線の裏打ち用メタル配線を配置したレイアウトパターン、(b) が C O B 構造の半導体記憶装置のワード線の裏打ち用メタル配線を配置したレイアウトパターンである。

【 0 0 4 9 】

ここでは、図 2 (a) 及び図 3 (a) で示した本発明の第 1 の実施の形態の半導体記憶装置 1 a、1 b のレイアウトパターンにおいて、セルトランジスタ T r と接続するワード線パターン W L a p、W L b p の上層に、ワード線裏打ち用のメタル配線パターン 7 0 p、7 1 p を配置したものを示している。

【 0 0 5 0 】

メタル配線パターン 7 0 p、7 1 p は、図 9、図 1 0 で示したような従来の半導体記憶装置 1 0 1 a、1 0 1 b のワード線パターン W L p のピッチでは、メタル材料の加工が難しく裏打ちは難しいが、本発明の実施の形態の半導体記憶装置 1 a、1 b では、ワード線パターン W L a p、W L b p の 2 本につきダミーワード線パターン W L d p が存在するため、ピッチが緩和され、ワード線パターン W L a p、W L b p の 1. 5 倍のピッチでメタル配線パターン 7 0 p、7 1 p を形成すればよいので、ワード線の裏打ちが可能になる。これにより、メタル配線のピッチの緩和のためサブワード線方式が不要になり、チップ面積の縮小が期待できることになる。

【 0 0 5 1 】

次に本発明の第 2 の実施の形態を説明する。

図 6 は、本発明の第 2 の実施の形態の半導体記憶装置のレイアウトパターンであり、(a) が C U B 構造の半導体記憶装置のレイアウトパターン、(b) が C O B 構造の半導体記憶装置のレイアウトパターンである。

【 0 0 5 2 】

なお、レイアウトパターンに対応した第 2 の実施の形態の半導体記憶装置 8 0 a、8 0 b の断面図については、第 1 の実施の形態の半導体記憶装置 1 a、1 b とほぼ同様であるので省略する。

【 0 0 5 3 】

また、図 6 (a)、(b) はそれぞれ、本発明の第 1 の実施の形態の半導体記

憶装置 1 a、1 b のレイアウトパターンの、図 2 (a)、図 3 (a) と対応しており、同じ構成要素は同じ符号として説明を省略する。

【0054】

本発明の第 2 の実施の形態の半導体記憶装置 8 0 a、8 0 b は、第 1 の実施の形態の半導体記憶装置 1 a、1 b と異なり、ダミーワード線パターン W L d p を削除した点のみが異なっている。しかし、製造上の制約から一定のスペース（ここでは、ワード線 1 本分のスペース）が設けられている。

【0055】

半導体記憶装置 8 0 a、8 0 b の動作及び機能は、本発明の第 1 の実施の形態の半導体記憶装置 1 a、1 b と同じであり、プロセス工程においての素子やコンタクトホール形成のしやすさなどの点でどちらかを選択することになる。

【0056】

図 7 は、本発明の第 2 の実施の形態の半導体記憶装置の回路図である。

本発明の第 2 の実施の形態の半導体記憶装置 8 0 の回路図は、図 4 の第 1 の実施の形態の半導体記憶装置 1 の回路図と比較すると、ダミーワード線 W L d を配置しない点のみが異なっている。

【0057】

なお、第 2 の実施の形態の半導体記憶装置 8 0 においても、ワード線 W L a、W L b のメタル配線での裏打ちが可能である。

また、上記の説明では、メモリセル M C は、1 T / 1 C の D R A M を用いたが、これに限定されることはなく、他の相補セルを用いてデータを記憶する装置、例えば、F e R A M (Ferroelectric Random Access Memory) や M R A M (Magnetic Random Access Memory) などをメモリセル M C として用いるようにしてもよい。

【0058】

また、本発明は上記の実施の形態に限定されず、製造方法、デザインルールなどによりこれ以外の実施の形態も考えられる。

(付記 1) データを 1 対のメモリセルに相補の情報として記憶するツインセル方式の半導体記憶装置において、

ワード線ごとにビット線ピッチで、前記メモリセルを配置したことを特徴とする半導体記憶装置。

【0059】

(付記2) 前記メモリセルは、1トランジスタと1記憶素子からなることを特徴とする付記1記載の半導体記憶装置。

(付記3) 前記ビット線は、折り返しビット線方式で配線されることを特徴とする付記1記載の半導体記憶装置。

【0060】

(付記4) 前記ワード線に沿って前記ビット線ピッチで、前記ビット線と拡散層とのコンタクトが配置されることを特徴とする付記1記載の半導体記憶装置。

【0061】

(付記5) 前記ワード線2本につき1本の駆動しない前記ワード線を配置することを特徴とする付記1記載の半導体記憶装置。

(付記6) 駆動しない前記ワード線に固定電位を印加することを特徴とする付記5記載の半導体記憶装置。

【0062】

(付記7) 前記固定電位は、前記ワード線をリセットするためのワード線リセット電位であることを特徴とする付記6記載の半導体記憶装置。

(付記8) 前記固定電位は、集積回路内で用いられる電源電位であることを特徴とする付記6記載の半導体記憶装置。

【0063】

(付記9) 前記ワード線2本につき、1本だけワード線を配置しないことを特徴とする付記1記載の半導体記憶装置。

(付記10) メタル配線により、前記ワード線を裏打ちすることを特徴とする付記1記載の半導体記憶装置。

【0064】

(付記11) 前記メタル配線は、前記ワード線のピッチの1.5倍以下の前記ピッチであることを特徴とする付記10記載の半導体記憶装置。

(付記 1 2) C O B 構造で構成されることを特徴とする付記 1 記載の半導体記憶装置。

【 0 0 6 5 】

(付記 1 3) C U B 構造で構成されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 1 4) 前記折り返しビット線方式の 1 対の前記ビット線はともに同じ配線層において形成されることを特徴とする付記 3 記載の半導体記憶装置。

【 0 0 6 6 】

【発明の効果】

以上説明したように本発明では、ワード線ごとに、ビット線ピッチでメモリセルを配置することで、従来と比べて面積の効率のよい構成が可能となり、ツインセル方式の半導体記憶装置のチップ面積を縮小することができる。また、アレーサイズの縮小のみならず、動作速度の向上や信頼性の向上につなげることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の半導体記憶装置の模式図であり、セル配置を示した図である。

【図 2】

C U B 構造に好適な半導体記憶装置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a) が C U B 構造の半導体記憶装置のレイアウト、(b) が図 2 (a) の A - A ' 線の一部に対応した半導体記憶装置の断面図である。

【図 3】

C O B 構造に好適な半導体記憶装置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a) が C O B 構造の半導体記憶装置のレイアウト、(b) が図 3 (a) の B - B ' 線の一部に対応した半導体記憶装置の断面図である。

【図 4】

本発明の第 1 の実施の形態の半導体記憶装置の回路図である。

【図 5】

ワード線の裏打ちを説明する図であり、(a) が C U B 構造の半導体記憶装置のワード線の裏打ち用メタル配線を配置したレイアウトパターン、(b) が C O B 構造の半導体記憶装置のワード線の裏打ち用メタル配線を配置したレイアウトパターンである。

【図 6】

本発明の第 2 の実施の形態の半導体記憶装置のレイアウトパターンであり、(a) が C U B 構造の半導体記憶装置のレイアウトパターン、(b) が C O B 構造の半導体記憶装置のレイアウトパターンである。

【図 7】

本発明の第 2 の実施の形態の半導体記憶装置の回路図である。

【図 8】

従来の D R A M 型の半導体記憶装置のメモリセル配置の模式図であり、(a) はシングルセル方式、(b) はツインセル方式のメモリセル配置の模式図である。

【図 9】

従来の C U B 構造の半導体記憶装置のセルアレー配置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a) が C U B 構造の半導体記憶装置のセルアレー配置のレイアウトパターン、(b) が図 9 (a) の C - C' 線の一部に対応した半導体記憶装置の断面図である。

【図 1 0】

従来の C O B 構造の半導体記憶装置のセルアレー配置のレイアウトパターン及び、半導体記憶装置の概略の断面図であり、(a) が C O B 構造のセルアレー配置のレイアウトパターン、(b) が図 1 0 (a) の D - D' 線の一部に対応した半導体記憶装置の断面図である。

【図 1 1】

従来の半導体記憶装置の回路図の例であり、(a) は C U B 構造の半導体記憶装置の回路図、(b) は C O B 構造の半導体記憶装置の回路図である。

【符号の説明】

1 半導体記憶装置

10、11 センスアンプ

MC メモリセル

BL1、／BL1、BL2、／BL2 ビット線

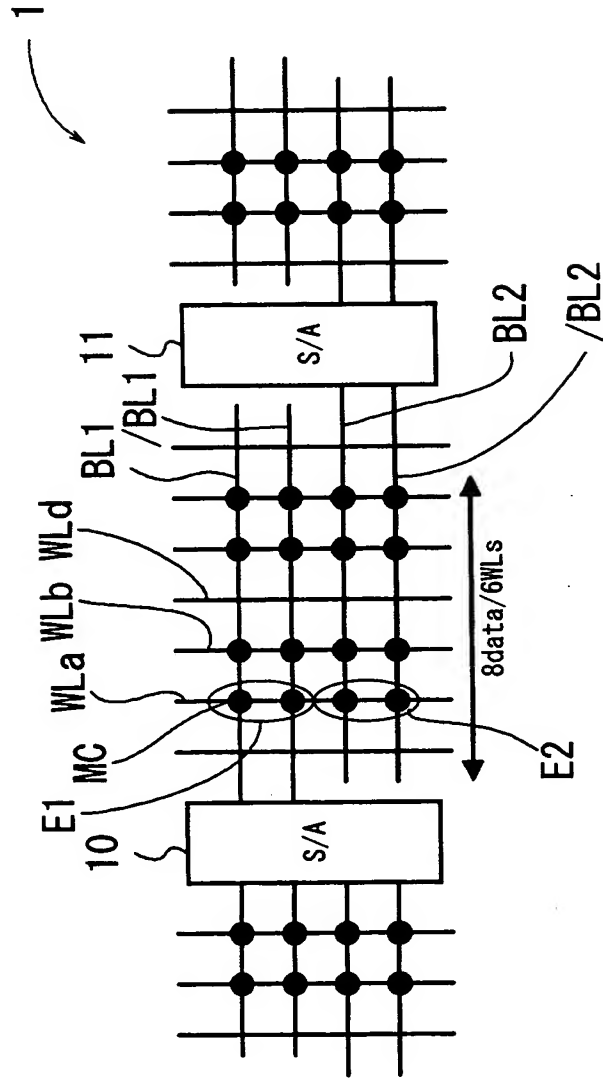
WL a、WL b ワード線

WL d ダミーワード線

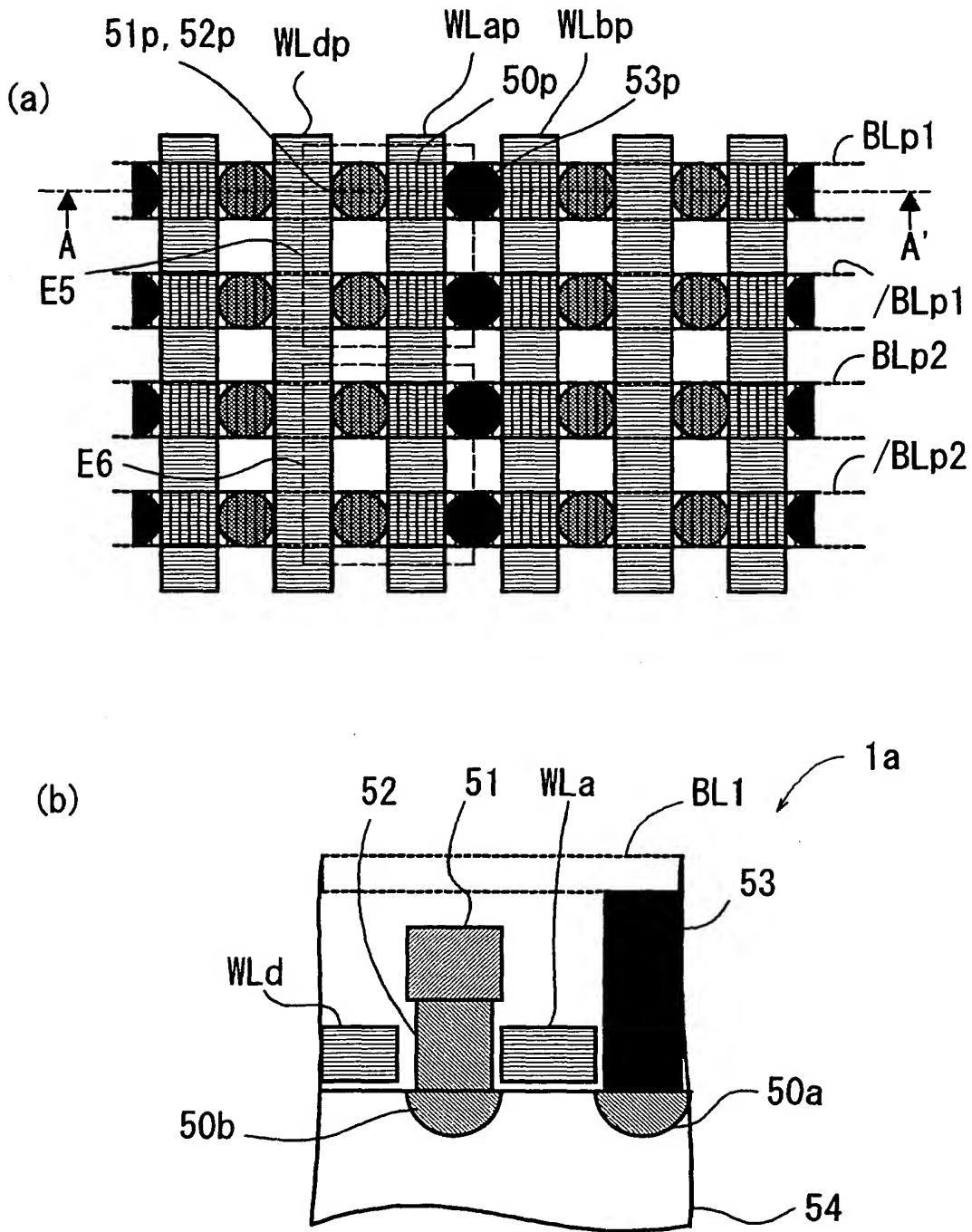
E1、E2 領域

【書類名】 図面

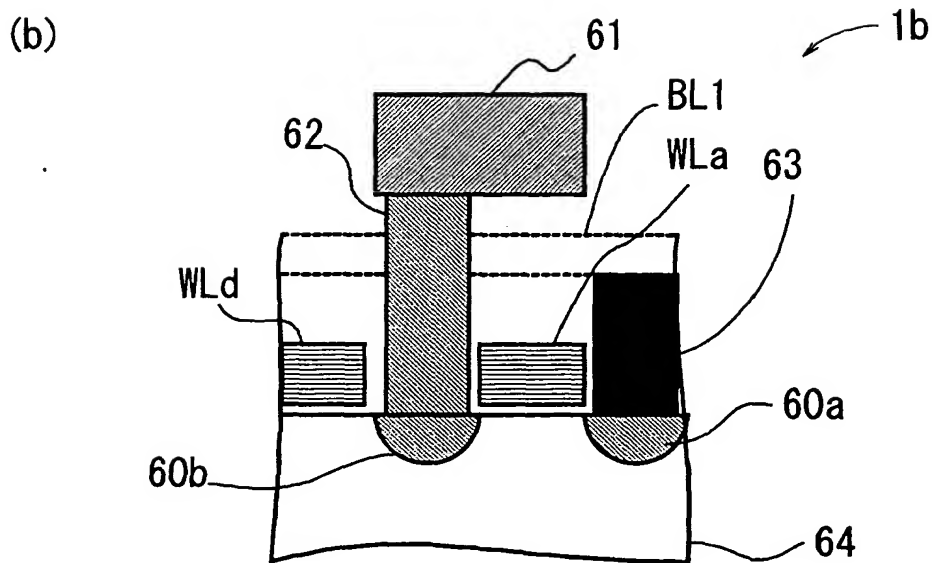
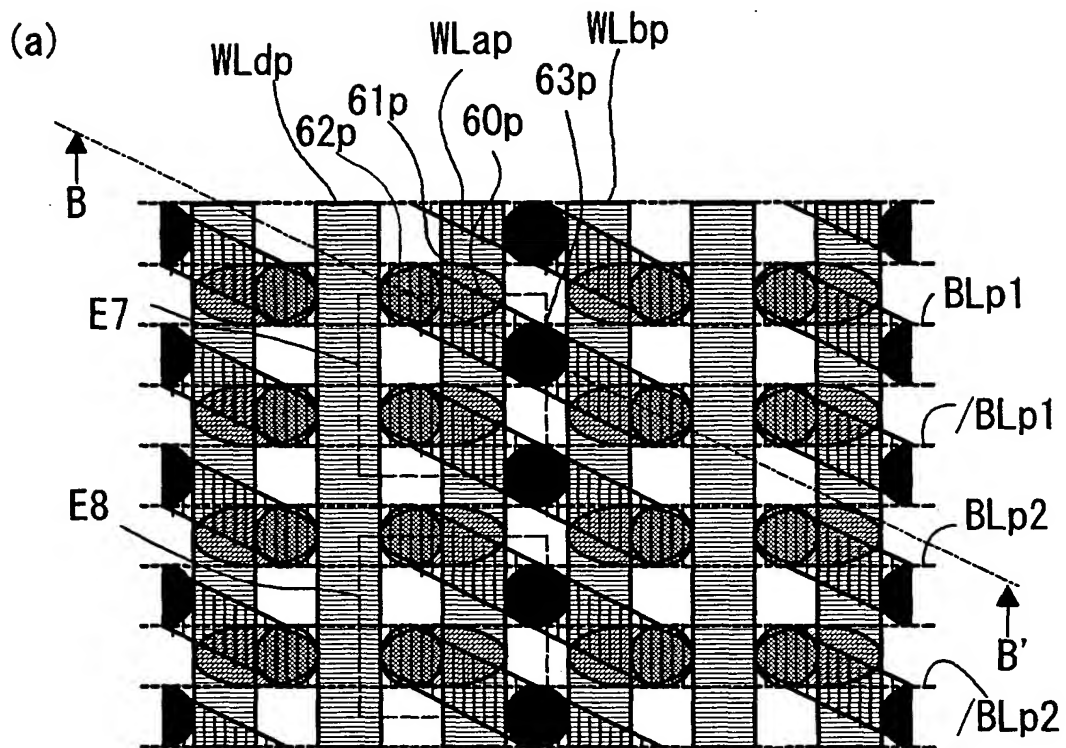
【図 1】



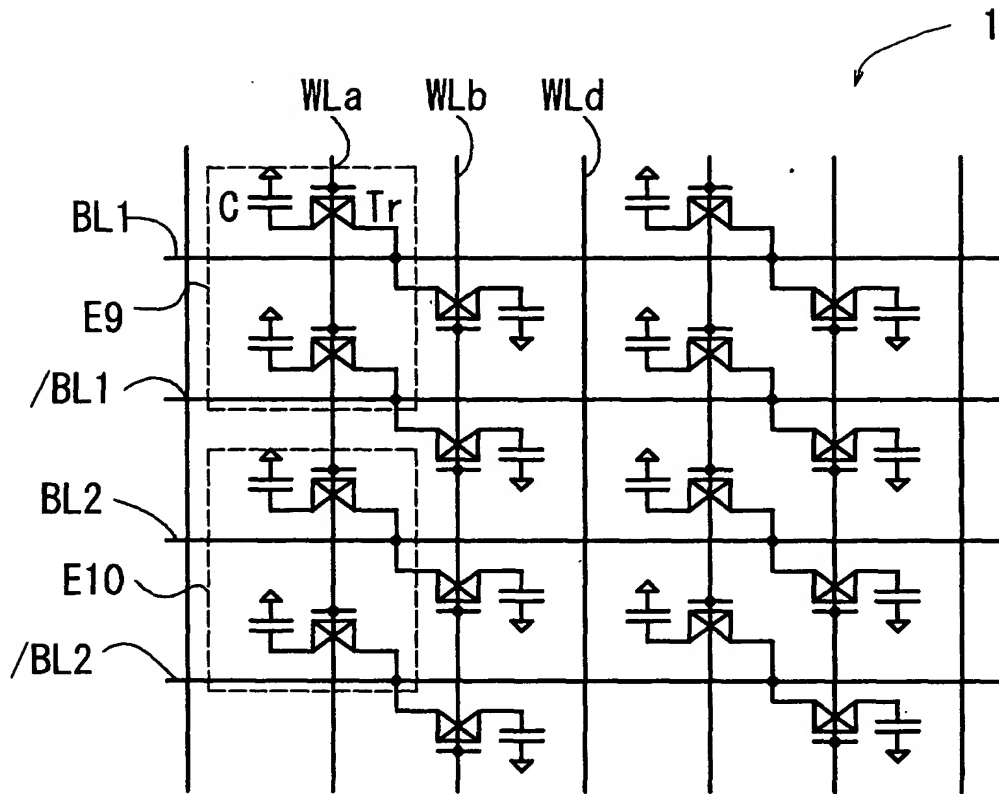
【図 2】



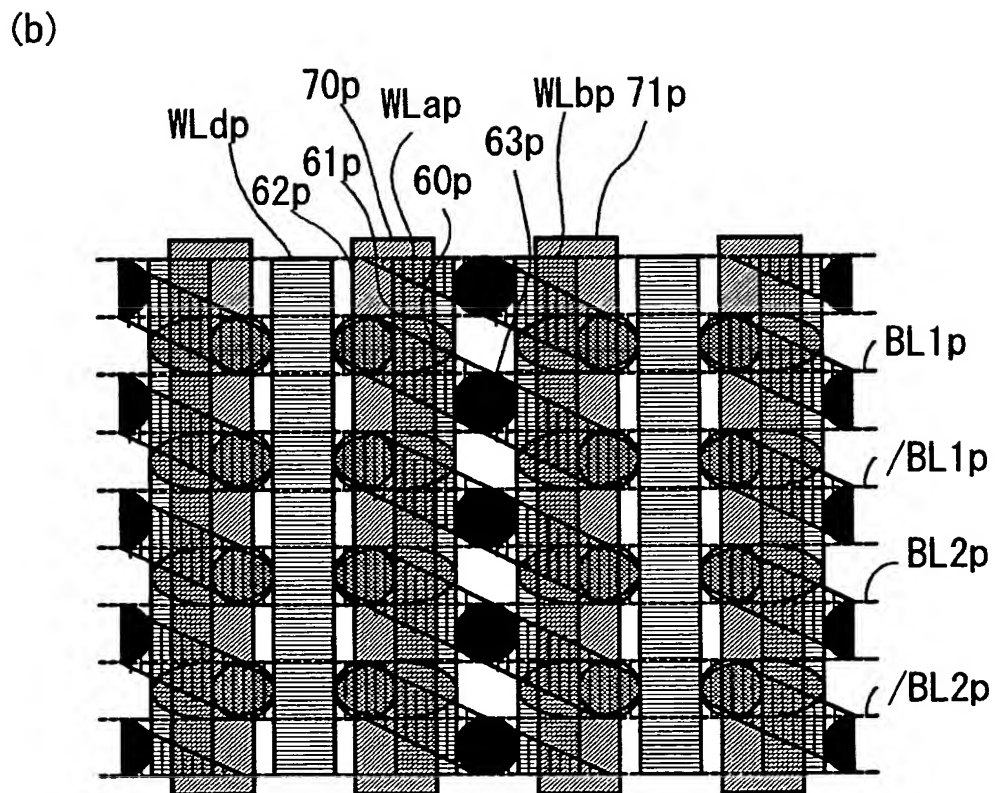
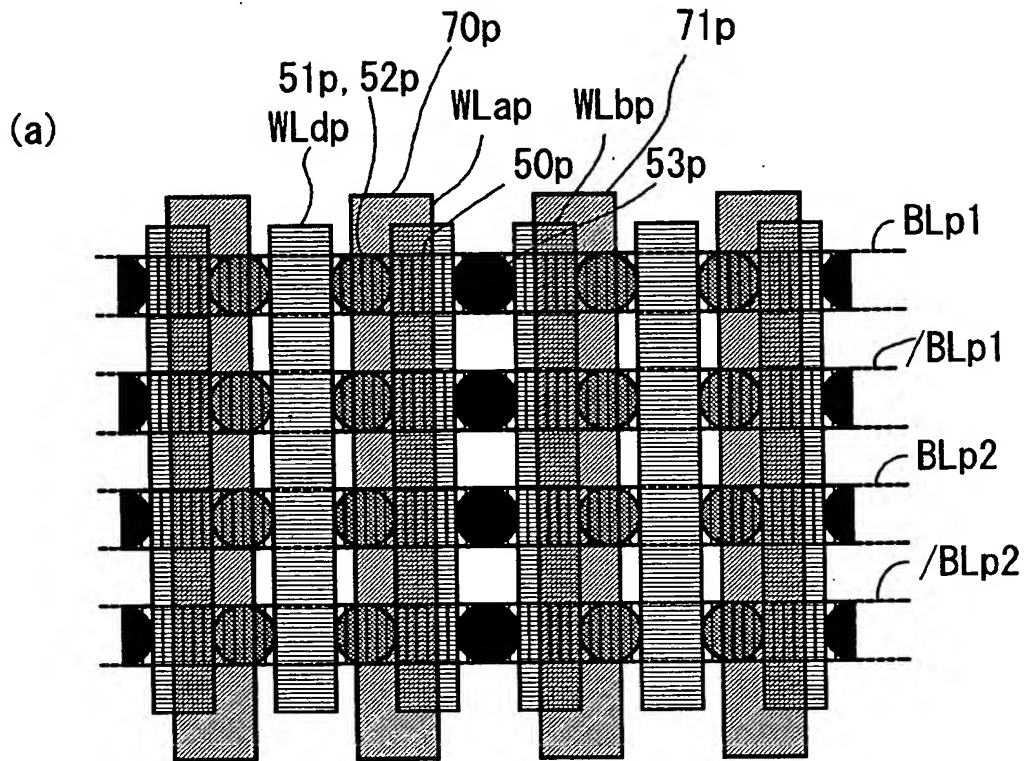
【図3】



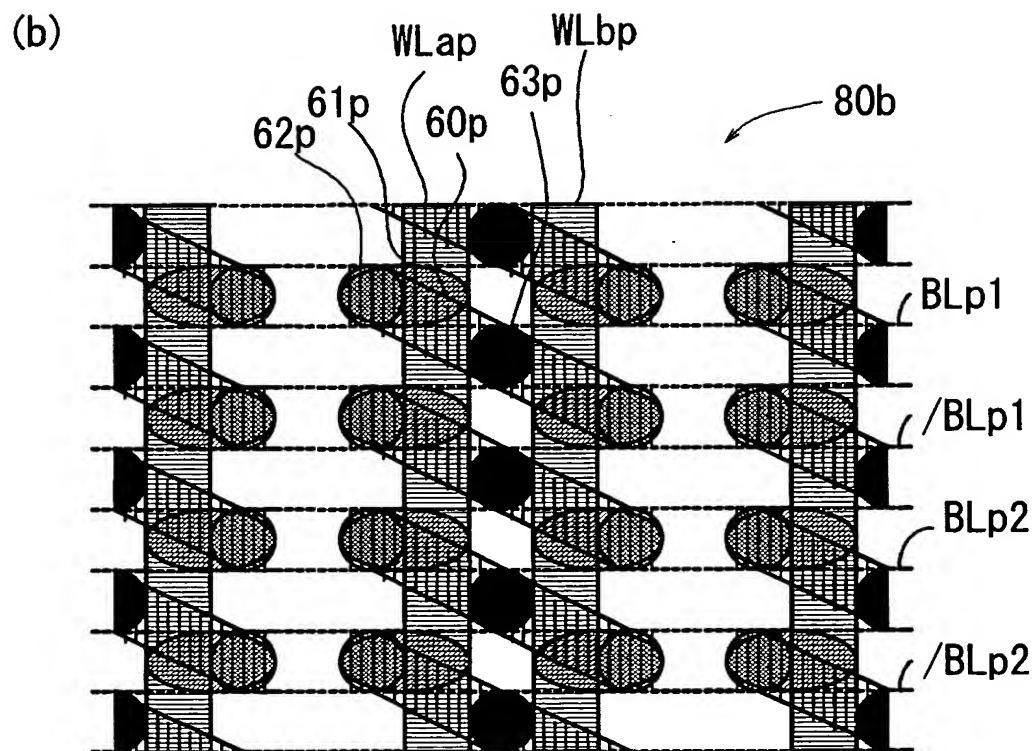
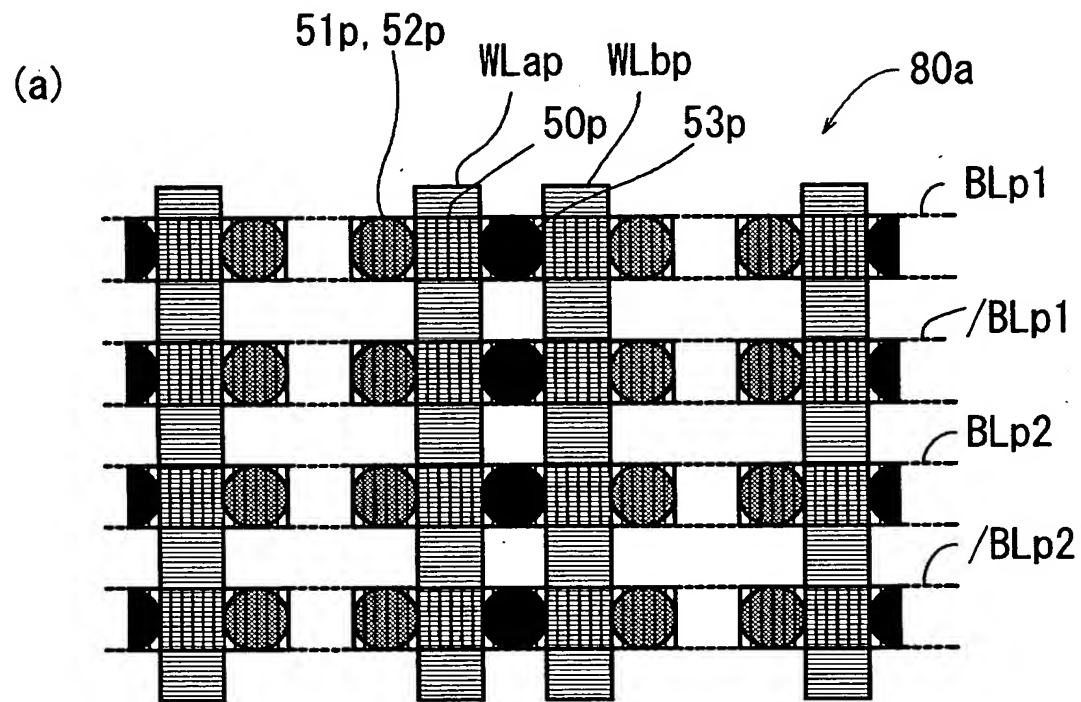
【図 4】



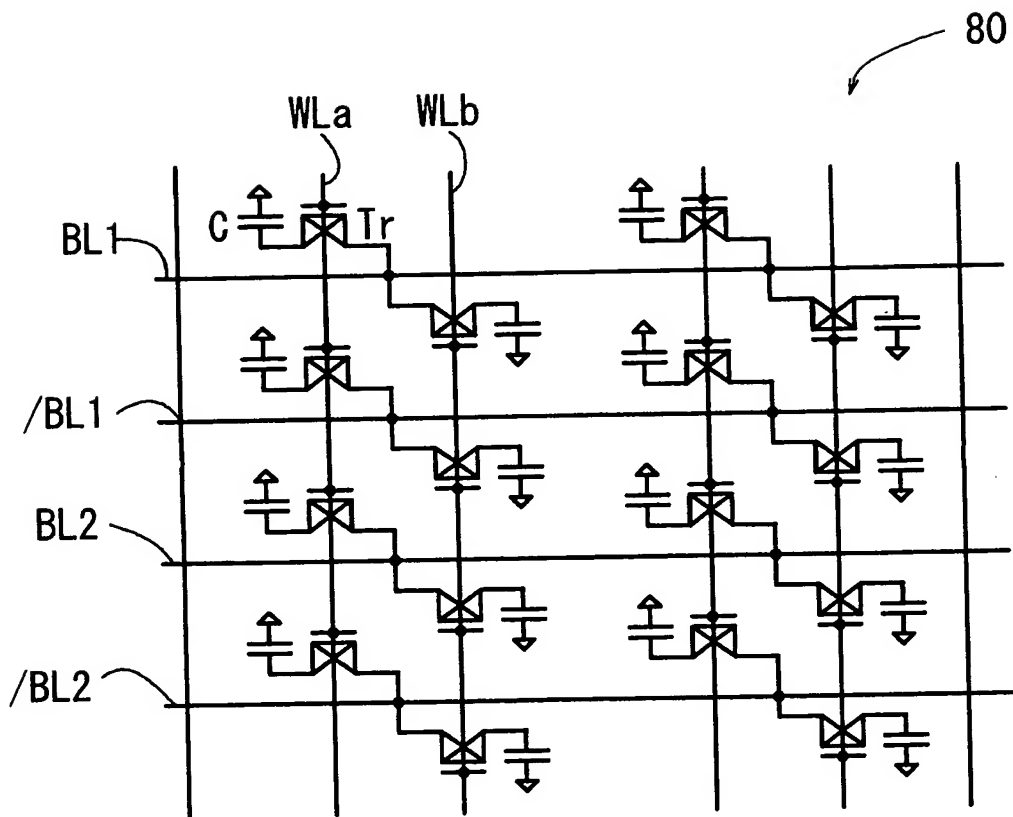
【図 5】



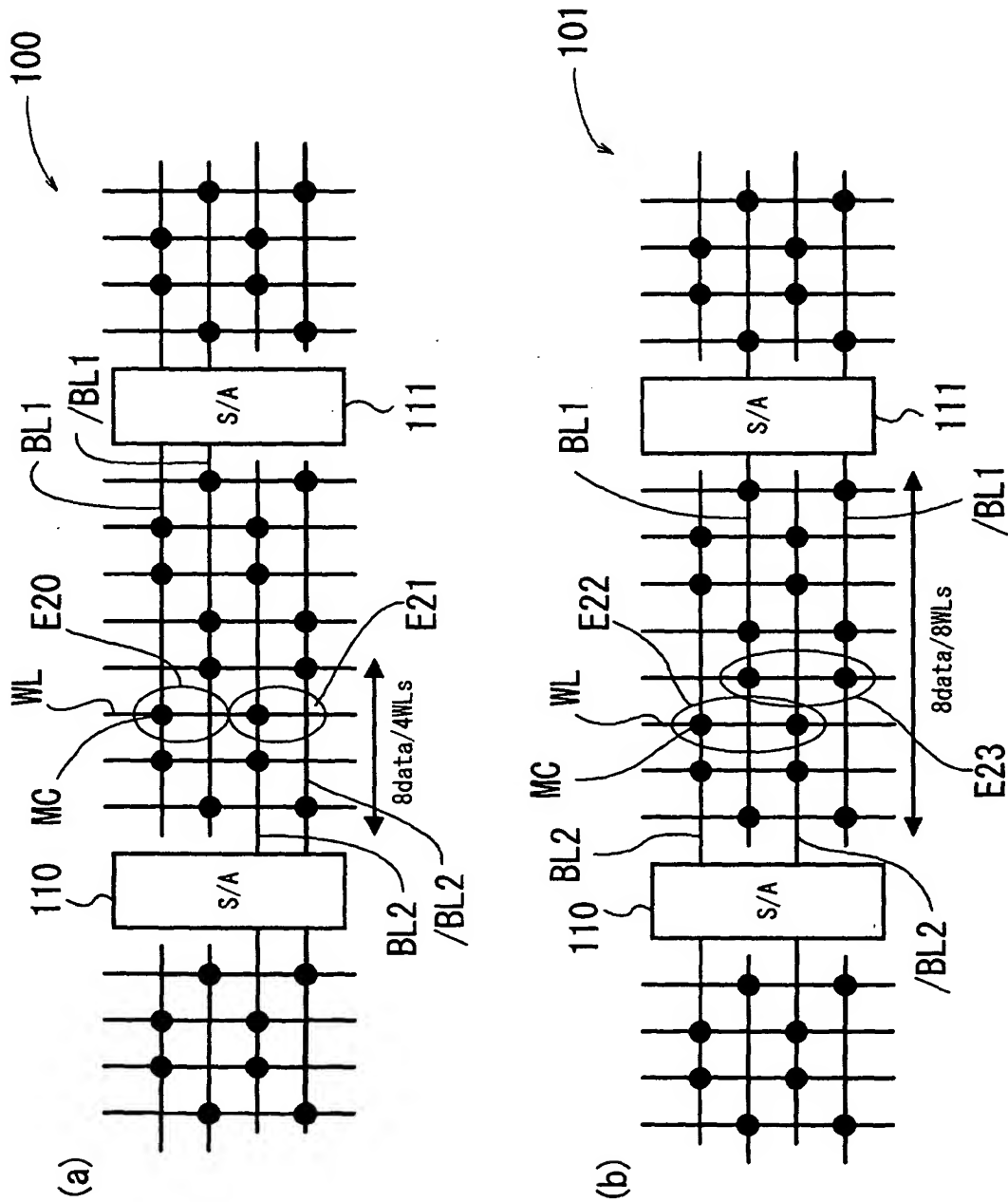
【図 6】



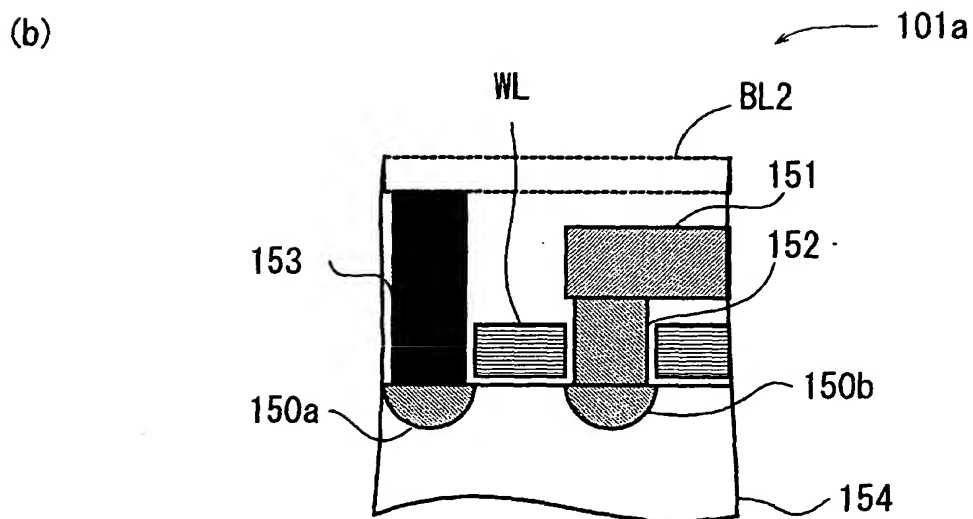
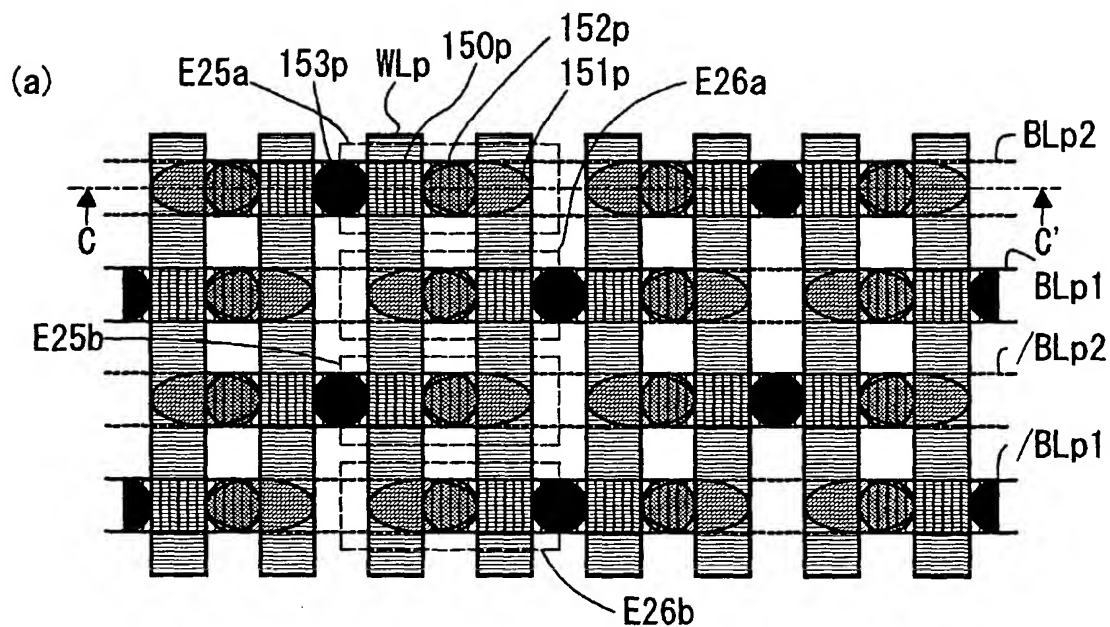
【図 7】



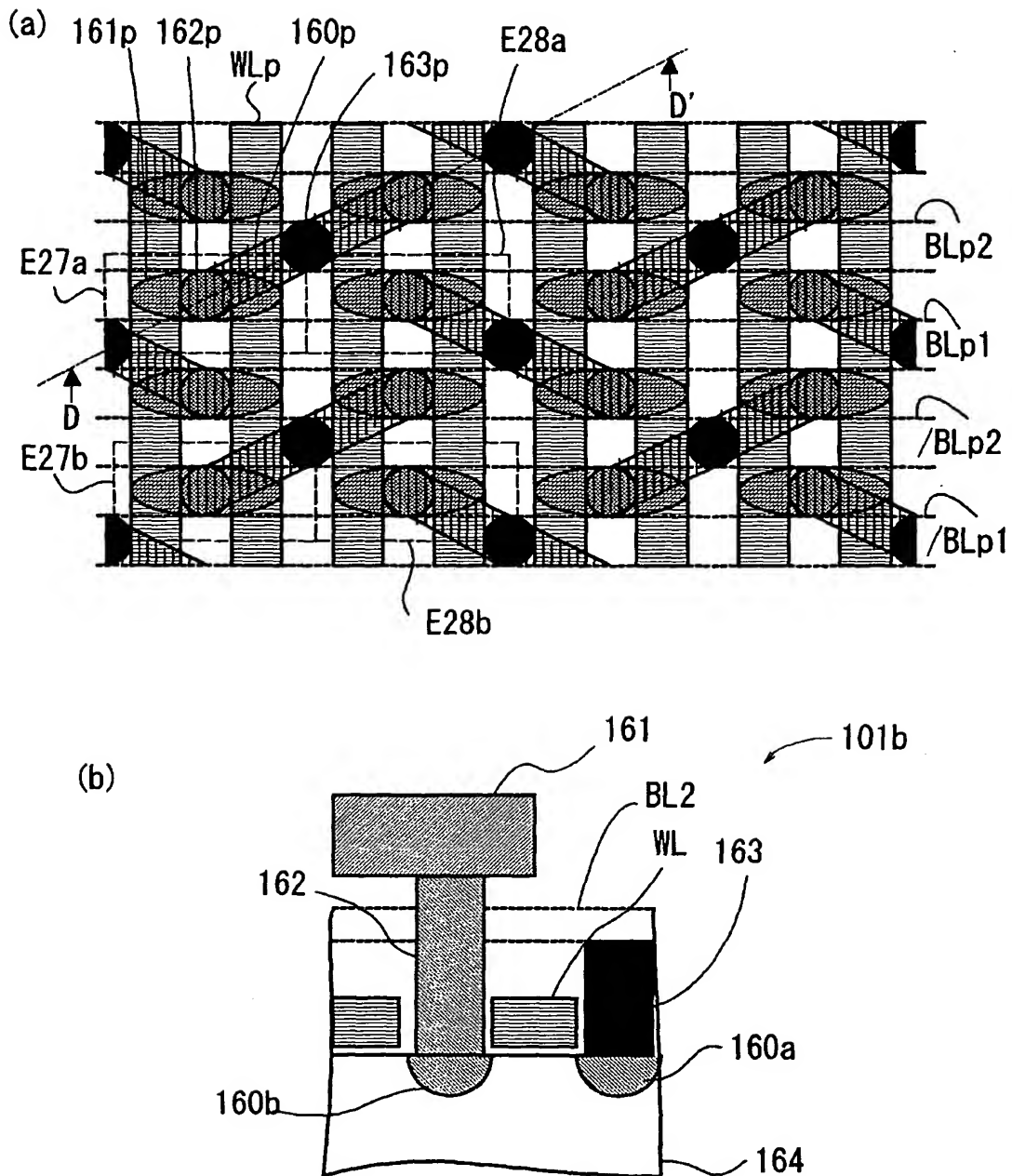
【図 8】



【図 9】

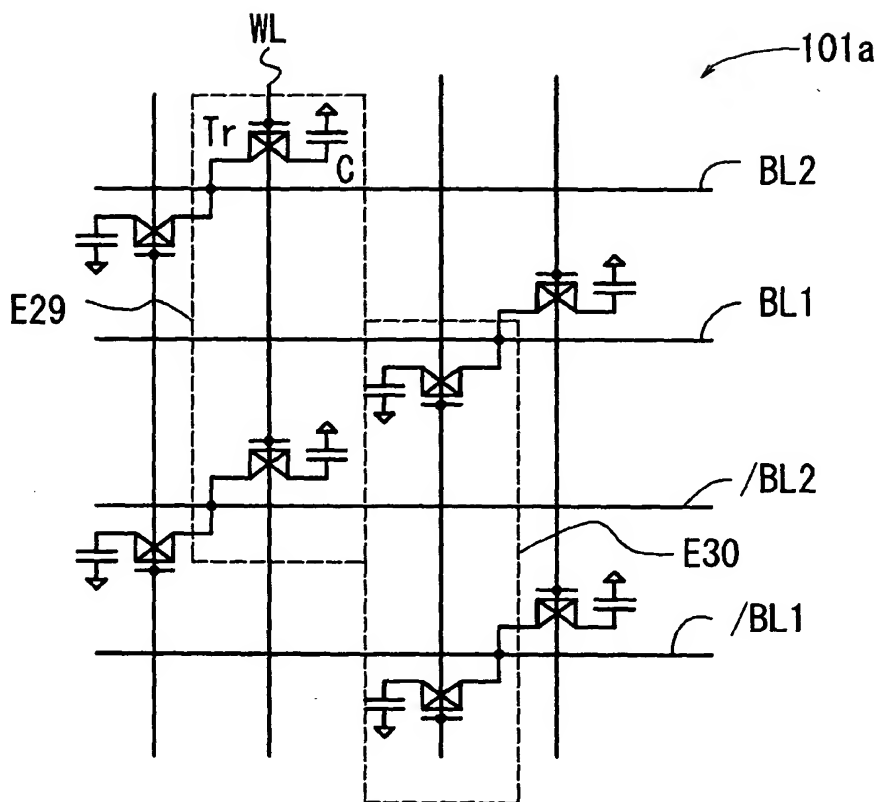


【図10】

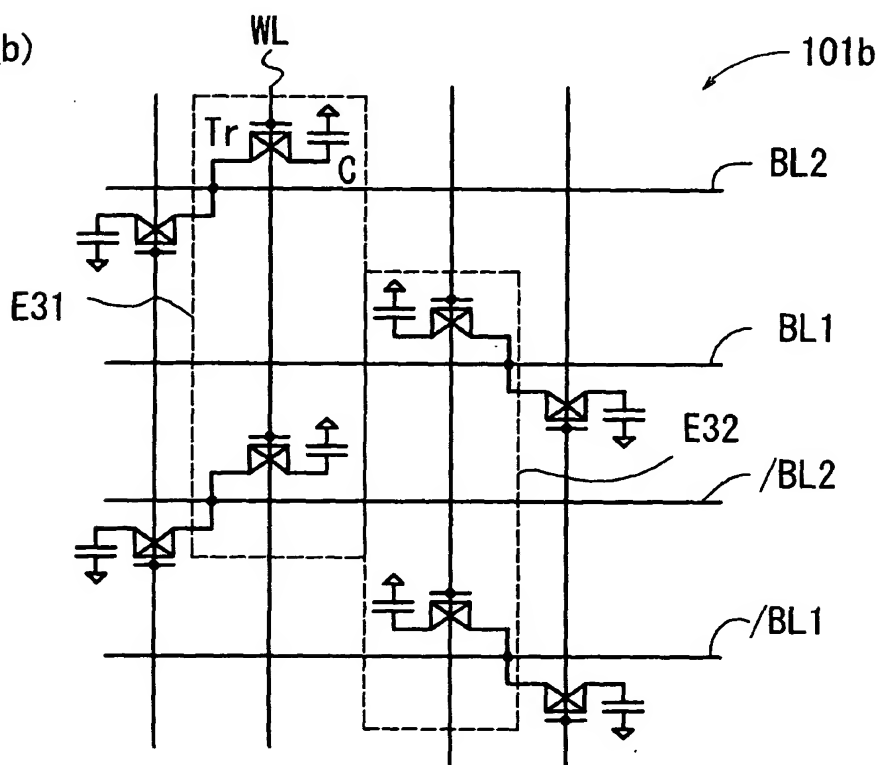


【図 11】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 ツインセル方式の半導体記憶装置のチップ面積を縮小する。

【解決手段】 データを1対のメモリセルに相補の情報として記憶するツインセル方式の半導体記憶装置1において、ワード線WL a、WL bごとにビット線ピッチで、メモリセルMCを配置し、ビット線BL 1、／BL 1またはビット線BL 2、／BL 2と接続された、領域E 1または領域E 2で示す相補の情報を記憶した2つのメモリセルMCで、ツインセルを形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社